

文章编号:1007-2780(2009)06-0922-06

线阵 CCD 相机模拟器的分析与设计

李 娜^{1,2}, 丁亚林¹, 冷 雪¹, 周九飞¹, 郑 飞^{1,2}

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033, E-mail: lina200361509@163.com;
2. 中国科学院 研究生院, 北京 100039)

摘 要: 为降低某线阵 CCD 相机因屡次调试而被损坏的风险, 对相机的特性和时序进行了分析, 设计了一种基于现场可编程门阵列 (FPGA) 的 CCD 相机模拟器。整个系统以 FPGA 作为核心器件, 在 FPGA 内部开辟一片 ROM, 里面存放一幅标准图像的灰度值, 在像素时钟的下降沿输出灰度值, 并对像素时钟进行计数, 产生外加行同步信号和行有效信号。仿真结果显示, 此线阵 CCD 相机模拟器模拟过程符合实际相机的输出时序要求。模拟器的设计缩短了工程上的调试时间, 为后期的采集和存储等处理提供了保证。

关 键 词: CCD; LVDS; FPGA; 模拟器

中图分类号: TN386.5 **文献标识码:** A

1 引 言

科学研究中, 需要对高分辨率 CCD 相机所获取的大量高速图像数据进行采集、存储, 以便做后续处理和应用; 而进行这一系列信号处理之前, CCD 相机获得的目标信息和输出信号的质量对调试相机系统来说是很重要的, 提高信号产生系统的性能对于提高整个相机系统的性能有重要意义。对于调试相机系统而言, 屡次使用 CCD 无疑会增加被损坏的风险, 特别是某些比较昂贵的 CCD 器件, 一旦损坏对于项目研究是难于承受的, 故研究一个信号源系统来代替实际试验中使用的 CCD 具有重要的意义^[1]。

在分析了某型号线阵 CCD 相机的特性和输出时序的基础上, 本文设计了一种基于 FPGA 的线阵 CCD 相机模拟器。仿真结果显示, 此线阵 CCD 相机模拟器模拟过程符合实际相机的输出时序要求。系统的设计缩短了工程上的调试时间, 为后期的采集和存储等处理提供了保证。

2 某线阵 CCD 相机的特性与时序分析

此 CCD 相机是具有 TDI (Timing delay &

integration) 功能的线阵 CCD 相机, 可在低照度下成像, 相机的光照度工作范围较大。相机的分辨率为 4 096 个像素, 输出数据为 8 位灰度值。相机内部将 4 096 个像素分为 4 块, 第 1 通道输出 1~1 024 像素, 第 2 通道输出 1 025~2 048 像素, 第 3 通道输出 2 049~3 072 像素, 第 4 通道输出 3 073~4 096 像素, 这 4 个通道同步输出图像的灰度值。相机的控制信号包括外加行同步信号 EXSYNC、行有效信号 LVAL 和像素时钟 STROBE。DATA 为相机的图像数据信号。相机的所有控制和数据信号都需符合 EIA-644 (LVDS) 差分标准^[2]。输出时序如图 1 所示。

外加行同步信号 EXSYNC 是对 CCD 的行驱动信号, CCD 在此信号的驱动下输出图像数据, 一个行周期包括行转移时间、行读出时间和行间隔时间, 外加行同步信号为 16 kHz; 行有效信号 LVAL 是 CCD 的输出信号, 当行有效信号是高电平时, CCD 输出有效数据; 像素时钟 STROBE 是 CCD 的输出信号, 为 20 MHz, 一般与 FPGA 的晶振时钟一样; 图像数据 DATA 是 CCD 输出信号, 在行有效信号为高电平时输出有效数据, 并且和像素时钟同步。

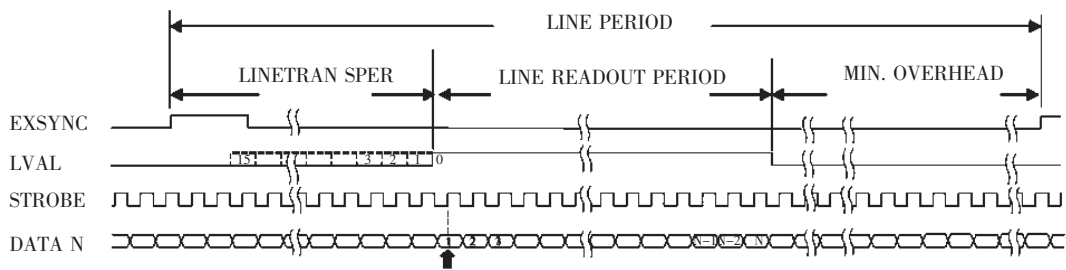


图 1 CCD 相机输出时序图
Fig. 1 Timing diagram of CCD camera output

3 LVDS 技术介绍^[3]

LVDS(Low Voltage Differential Signaling)是一种低摆幅的差分信号技术,它使得信号能在差分 PCB 线对或平衡电缆上以几百 Mbit/s 的速率传输,其低压幅和低电流驱动输出实现了低噪声和低功耗。图 2 给出了典型的 LVDS 接口,这是一种单工方式,必要时也可以使用半双工、多点配置方式,但一般在噪声较小、距离较短的情况下才适用。每个点到点连接的差分对由一个驱动器、互联器和接收器组成。驱动器和接收器主要完成 TTL 信号和 LVDS 信号之间的转换。互联器包括电缆、PCB 上差分导线对以及匹配电阻。LVDS 驱动器由一个驱动差分线对的电阻源组成(通常电流为 3.5 mA),LVDS 接收器具有很高的输入阻抗,因此驱动器输出电流大部分流过 100 Ω 的匹配电阻。当驱动器翻转时,它改变流经电阻的电流方向,因此产生有效的逻辑“1”和逻辑“0”状态。低摆幅驱动信号实现了高速操作并减小了功率消耗,差分信号提供了适当噪声边缘和功率消耗大幅减少的低压摆幅。功率的大幅降低允许在单个集成电路上集成多个接口驱动器和接收器,提高了 PCB 板的效能,减少了成本。不管使用的 LVDS 传输媒质是 PCB 线对还是电缆,都必须采取措施防止信号在媒质终端发生发射现象,同时减少电磁干扰。LVDS 要求使用一个与媒质

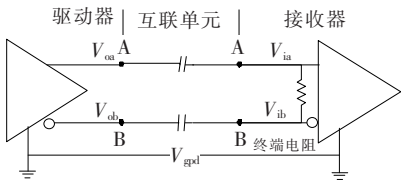


图 2 简单的单工 LVDS 接口连接图
Fig. 2 Interface circuit of LVDS simplex system

相匹配的终端电阻(100+20)Ω,该电阻终止了环流信号,应该将它尽可能靠近接收器输入端放置。LVDS 驱动器以超过 155.5 Mbit/s 的速度驱动双绞线对,距离超过 10 m。

4 系统的硬件设计

本系统中,要求设计的线阵 CCD 模拟器输出的模拟信号要和实际线阵 CCD 相机输出信号完全相同,另外输出的数字信号要提供给下一级系统采集和存储等处理,故要满足一定的时序要求。根据 CCD 相机的输出时序要求,设计都是在可编程门阵列(FPGA)中完成的,FPGA 选用 Altera 公司的 Cyclone 系列的 EP1C6Q240C8N 芯片,该芯片有 240 个引脚,5 980 个逻辑单元,最多有 185 个用户可用 I/O 引脚,可配置为输入、输出或者双向引脚。在 Cyclone FPGA 器件中所含的嵌入式存储器(Embedded Memory),由数 10 个 M4K 的存储块构成,每个 M4K 存储块具有很强的伸缩功能,如 4 608 位 RAM、双端口存储器、单端口存储器、FIFO 设计和 ROM 设计等。本设计使用的是 M4K 存储块的内部 ROM 设计。在 Cycone 器件中设置了全局控制信号和复杂的全局时钟网络,时钟和复位信号同步作用于系统的每个时序逻辑单元,全局时钟网络减少了时钟信号的传输延时,另外 Cycone 系列 FPGA 中含有 1 至数个锁相环 PLL,可以用来调整时钟信号的波形、相位和相位。Cyclone I/O 支持多种 I/O 接口,符合多种 I/O 标准,可以支持差分的 I/O 标准,诸如 LVDS(低压差分串行)和 RSDS(去抖动差分信号),也支持普通的单端口的 I/O 标准,如 LVTTL、LVCMOS、SSTL 和 PCI 等。Cyclone 器件可以支持最多 129 个通道的 LVDS 和 RSDS, LVDS 差分 I/O 标准也正好符合 CCD 相机的数

据信号和控制信号的 EIA-644 LVDS 差分标准, Cyclone 器件内的 LVDS 缓冲器可以支持最高达 640 Mbit/s 的数据传输速度,满足 EIA-644 标准数据传输速率大于 300 MHz 的要求。与单端口的 I/O 标准相比,这些内置与 Cyclone 器件内部的 LVDS 缓冲器保持了信号的完整性,并具有更小的电磁干扰,更好的电磁兼容性(EMI)及更小的电源功耗。图 3 为 Cyclone 器件内部的 LVDS 接口电路。图 4 为 CCD 输出信号模拟系统框图^[4-6]。

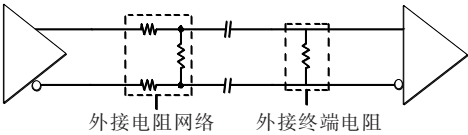


图 3 Cyclone 器件内部的 LVDS 接口电路
Fig. 3 LVDS interface circuit of Cyclone device

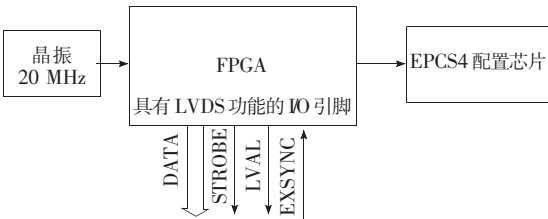


图 4 CCD 输出信号模拟系统框图

Fig. 4 Block diagram of CCD output simulation system

5 FPGA 程序设计^[7]

整个程序 CCD_SIM 分为 LINE_SY 和 ROM_RD 两个模块。

5.1 同步信号产生模块 LINE_SY

此模块使用 VHDL 语言进行编写,通过计数器对像素时钟 STROBE 计数得到外加行同步信号 EXSYNC 和行有效信号 LVAL。根据 CCD 相机的时序,行周期为 62.5 μ s(行频为 16 kHz),行转移时间(外加行同步信号的上升沿到行有效信号上升沿)是 40 个像素时钟,即 40 $\times$ 50 ns=2 μ s(像素时钟为 20 MHz);相机每一路的行分辨率为 1 024 像素,所以行读出时间为 1 024 $\times$ 50 ns=51.2 μ s;行间隔时间为 62.5-2-51.2=9.3 μ s,满足最小行间隔时间的要求(25 $\times$ 50 ns=1.25 μ s)。由于像素时钟为 20 MHz,行周期为 62.5 μ s,所以计数器需要计数 62.5 μ s/50 ns=1 250,计数器的最大值为 1 249,选择 11 位计数器,假设

外加行同步信号高电平为 20 个像素时钟,通过计数器判断得到外加行同步信号。行有效信号也是通过对像素时钟计数得到的,行有效信号的上升沿距离外加行同步信号的上升沿为 40 个像素时钟,行有效信号变为高电平之后在像素时钟上升沿输出第一个数据,在输出 1 024 个图像数据的最后一个像素时钟上升沿之后失效,将计数器产生的行有效信号进行延时。Exsync 外加行同步信号需要加入同步化处理,否则输出有毛刺。Lvalctl 是理论的行有效控制信号,需要和 ROM_RD 模块得到实际的行有效信号 Lval。为了输出最后一个图像数据,Lvalctl 的范围需要比理论值多一个像素时钟。

LINE_SY 模块的 VHDL 程序如下:

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;
entity LINE_SY is
port(
    Clk: in STD_LOGIC;
    Lvalctl: out STD_LOGIC;
    Exsync: out STD_LOGIC;
    Cnt11_q: out STD_LOGIC_VECTOR
(10 downto 0));
end LINE_SY;
architecture BEHAVIOR of LINE_SY is
    signal Cnt11: STD_LOGIC_VECTOR(10
downto 0);
begin
    exsy:process(Clk)
    begin
        if Clk'event and Clk='1' then
            if Cnt11="10011100001" then
                Cnt11<="00000000000";
            else Cnt11<=Cnt11+1;
            end if;
            if (Cnt11>="00000100111" and
Cnt11<="10000100111") then
                Lvalctl<='1';
            else Lvalctl<='0';
            end if;
        end if;
    end process exsy;
```

```
Exsync<='1' when Cnt11<="00000010011"
else '0';
Cnt11_q<=Cnt11;
end BEHAVIOR;
```

5.2 图像数据产生模块 ROM_RD

此模块使用原理图方法进行搭建,图 5 为 ROM_RD 的原理图。在 FPGA 内部开辟一块 ROM,用于存放图像数据。用 10 位计数器在像素时钟的上升沿产生 ROM 的地址,ROM 地址计数器

和 ROM 分别使用宏模块 lpm_counter0, lpm_rom0,计数器在像素时钟上升沿对 ROM 地址进

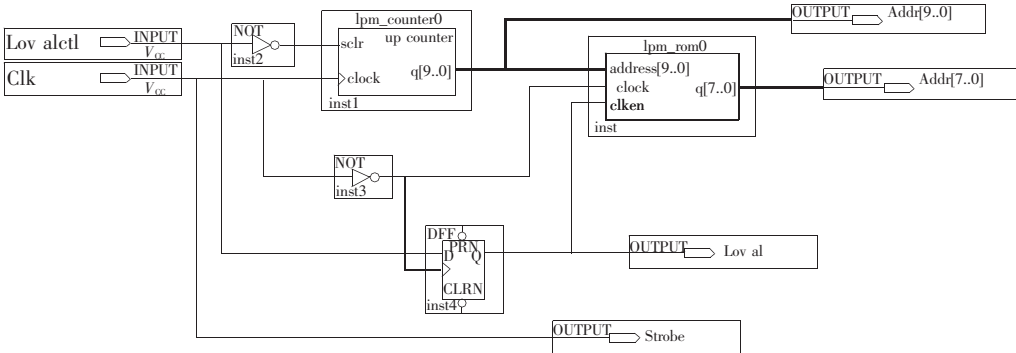


图 5 ROM_RD 模块原理图
Fig. 5 Principle diagram of ROM_RD module

5.3 总程序 CCD_SIM

将 LINE_SY 和 ROM_RD 模块生成符号文件,利用原理图进行连接,并将 LINE_SY 和

ROM_RD 程序加入总工程文件 CCD_SIM 下。编译,仿真。图 6 为总程序原理图。

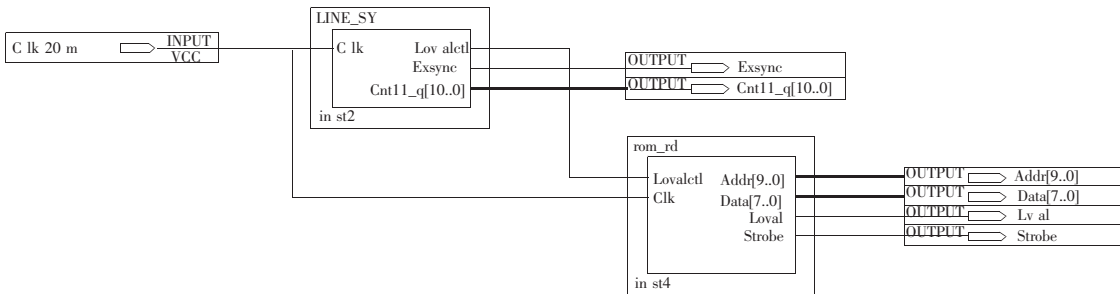


图 6 总程序原理图
Fig. 6 Principle diagram of chief program

6 仿真结果分析

图 7(1)图仿真结果表明行有效信号 LVAL 和像素时钟 STOREB 上升沿同步。图 7(2)仿真结果表明,行有效信号失效时,并没有将最后一个图像数据值 0 送出,不符合线阵 CCD 相机的时序

要求(如图 1),所以进行改进,使行有效信号和像素时钟下降沿同步,并使用 D 触发器将行有效信号延时半个周期,这样就能将最后一个数据输出,仿真结果如图 8(2)所示。

图 8(1)仿真结果表明,行有效信号 LVAL 和像素时钟 STOREB 下降沿同步。图 8(2)仿真结

果表明,行有效信号在像素时钟下降沿同步且经过延时处理以后,就能够正确输出图像数据,满足相机的时序要求。

图 9 为总程序 CCD_SIM 的仿真图,可以看出

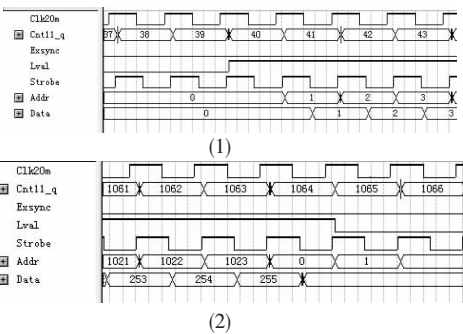


图 7 行有效信号和像素时钟上升沿同步仿真图
Fig. 7 Simulation diagram of horizontal synchronization signal synchronizing with the rising edge of pixel clock

线阵 CCD 相机模拟器的输出时序和实际 CCD 相机的输出时序(图 1)相同。

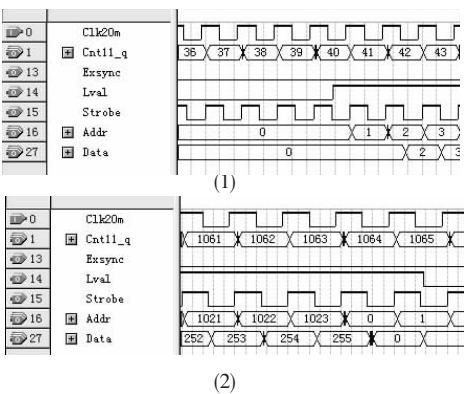
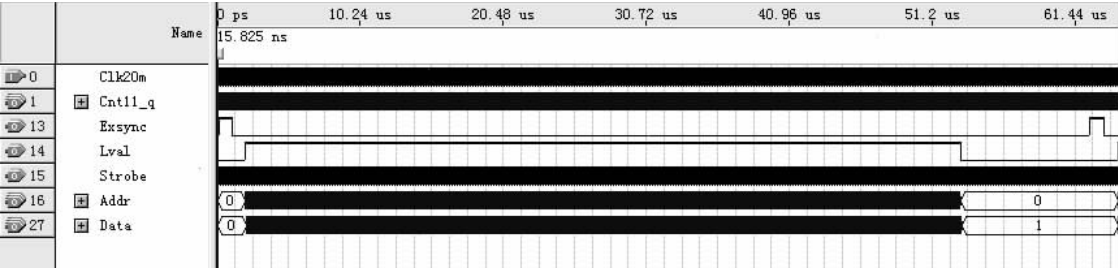


图 8 行有效信号和像素时钟下降沿同步仿真图
Fig. 8 Simulation diagram of horizontal synchronization signal synchronizing with the falling edge of pixel clock



文章编号由各编辑部给定,中文文章编号的标识为“文章编号:”或[文章编号]。如:文章编号;1007-2780(2003)02-0097-04 为发表在《液晶与显示》2003 年第 2 期第 97~100 页(共 4 页)上题为“液晶中聚合物网络的形貌研究”(作者:杨文君等)一文的文章编号。